



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0081736
Application Number

출원 년 월 일 : 2002년 12월 20일
Date of Application DEC 20, 2002

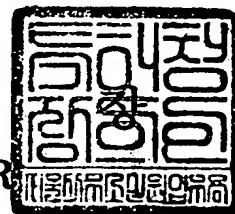
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 20 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2002.12.20
【국제특허분류】	H03K
【발명의 명칭】	반도체 장치 및 이를 구비하는 동시 양방향 신호전송 시스템
【발명의 영문명칭】	Semiconductor device and simultaneous bi-directional signal transmitting system having the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김진현
【성명의 영문표기】	KIM, Jin Hyun
【주민등록번호】	701203-1690713
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 삼성7차아파트 709-101
【국적】	KR
【발명자】	
【성명의 국문표기】	최정환
【성명의 영문표기】	CHOI, Jung Hwan
【주민등록번호】	680223-1674516

【우편번호】 442-070
【주소】 경기도 수원시 팔달구 인계동 366번지 삼성아파트 102-902
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 35 면 35,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 14 항 557,000 원
【합계】 621,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

제1반도체 장치와 제2반도체 장치사이에 접속되는 적어도 하나의 전송선을 구비하는 동시 양방향 신호전송 시스템에 있어서, 제1반도체 장치는 제1 이진데이터를 수신하여 4개의 레벨들중에서 어느 하나의 레벨을 갖는 제1신호로 변환하는 제1출력MUX; 상기 제1신호를 상기 전송선을 통하여 상기 제2반도체 장치로 출력하는 제1송신기를 구비하며, 상기 제2반도체 장치는 제2 이진데이터를 수신하여 4개의 레벨들중에서 어느 하나의 레벨을 갖는 제2신호로 변환하는 제2출력MUX; 상기 제2신호를 상기 전송선을 통하여 상기 제1반도체 장치로 출력하는 제2송신기를 구비하며, 상기 제1반도체 장치는 상기 제1신호에 의하여 선택된 적어도 하나의 기준전압과 및 상기 전송선을 통하여 입력되는 제3신호를 비교하고, 그 비교결과를 출력하는 제1수신기; 및 상기 제1수신기로부터 출력되는 상기 비교결과에 응답하여 상기 제2 이진데이터를 검출하는 제1입력 인코더를 구비하고, 상기 제2반도체 장치는 상기 제2신호에 의하여 선택된 적어도 하나의 기준전압과 및 상기 전송선을 통하여 입력되는 상기 제3신호를 비교하고, 그 비교결과를 출력하는 제2수신기; 및 상기 제2수신기로부터 출력되는 상기 비교결과에 응답하여 상기 제1 이진데이터를 검출하는 제2입력 인코더를 구비한다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

반도체 장치 및 이를 구비하는 동시 양방향 신호전송 시스템{Semiconductor device and simultaneous bi-directional signal transmitting system having the same}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 본 발명의 실시예에 따른 4레벨 동시 양방향 시스템을 개략적으로 나타내는 블록도이다.

도 2는 출력MUX의 출력신호의 레벨을 나타낸다.

도 3은 도 1에 도시된 전송선의 데이터 레벨을 나타낸다.

도 4는 도 1에 도시된 4레벨 송신기의 블록도를 나타낸다.

도 5는 도 4에 도시된 임피던스 보정회로의 회로도를 나타낸다.

도 6은 도 4에 도시된 출력 드라이버의 회로도를 나타낸다.

도 7은 도 6에 도시된 트랜지스터 그룹의 회로도를 나타낸다.

도 8은 4레벨 동시 양방향 입출력회로의 수신기의 블록도를 나타낸다.

도 9는 제1기준전압 발생회로의 회로도를 나타낸다.

도 10은 제2기준전압 발생회로의 회로도를 나타낸다.

도 11은 제3기준전압 발생회로의 회로도를 나타낸다.

도 12는 제4기준전압 발생회로의 회로도를 나타낸다.

도 13은 제5기준전압 발생회로의 회로도를 나타낸다.

도 14는 제6기준전압 발생회로의 회로도를 나타낸다.

도 15는 제1기준전압 내지 제6기준전압의 레벨 및 조건을 나타낸다.

도 16은 도 8에 도시된 비교회로를 나타낸다.

도 17은 입력 인코더의 출력신호를 나타낸다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 반도체 장치에 관한 것으로, 보다 상세하게는 동시에 양방향으로 4-레벨 신호를 고속으로 주고받는 동시 양방향 신호 전송 시스템 및 이에 사용되는 동시 양방향 입출력회로에 관한 것이다.

<20> 컴퓨터 시스템의 동작 속도가 증가함에 따라, 반도체 장치들사이에서 입출력되는 데이터의 이동속도는 증가되어야 한다. 즉, 반도체 장치들사이에서 좀더 효율적으로 높은 데이터 율(data rate)을 얻기 위하여 반도체 장치와 반도체 장치는 포인트-투-포인트, 즉 직렬로 접속되어 소정의 데이터를 주고받아야 한다. 이를 직렬 통신이라 한다.

<21> 그러나 직렬 통신에서 반도체 장치들사이의 임피던스의 부정합, 전송되는 신호들의 간섭문제, 직렬 통신 거리, 그리고 데이터 스큐 등이 문제가 된다.

【발명이 이루고자 하는 기술적 과제】

<22> 따라서 본 발명이 이루고자 하는 기술적인 과제는 반도체 장치들사이의 임피던스의 부정합, 전송되는 신호들의 간섭문제, 직렬 통신 거리, 그리고 데이터 스큐 등에 무관하게 동시에 양방향으로 4-레벨의 신호를 주고받을 수 있는 동시 양방향 신호 전송 시스템을 제공하는 것이다.

<23> 또한, 본 발명이 이루고자 하는 다른 기술적인 과제는 동시 양방향 신호 전송 시스템에 사용할 수 있는 동시양방향 입출력회로를 제공하는 것이다.

【발명의 구성 및 작용】

<24> 본 발명에 따른 제1반도체 장치, 제2반도체 장치 및 상기 제1반도체 장치와 상기 제2반도체 장치사이에 접속되는 적어도 하나의 전송선을 구비하는 동시 양방향 신호전송 시스템에 있어서, 상기 제1반도체 장치는 제1 이진데이터를 수신하여 적어도 4개의 레벨들중에서 어느 하나의 레벨을 갖는 제1신호로 변환하는 제1출력MUX; 상기 제1출력MUX에 접속되며, 상기 제1신호를 상기 전송선을 통하여 상기 제2반도체 장치로 출력하는 제1송신기를 구비하며, 상기 제2반도체 장치는 제2 이진데이터를 수신하여 적어도 4개의 레벨들중에서 어느 하나의 레벨을 갖는 제2신호로 변환하는 제2출력MUX; 상기 제2출력MUX에 접속되며, 상기 제2신호를 상기 전송선을 통하여 상기 제1반도체 장치로 출력하는 제2송신기를 구비하며, 상기 제1반도체 장치는 상기 제1신호에 의하여 선택된 적어도 하나의 기준전압과 및 상기 전송선을 통하여 입력되는 제3신호를 비교하고, 그 비교결과를 출력하는 제1수신기; 및 상기 제1수신기로부터 출력되는 상기 비교결과에 응답하여 상기 제2 이진데이터를 검출하는 제1입력 인코더를 구비하고, 상기 제2반도체 장치는 상기 제2신호에 의하여 선택된 적어도 하나의 기준전압과 및 상기 전송선을 통하여 입력되는 상기

제3신호를 비교하고, 그 비교결과를 출력하는 제2수신기; 및 상기 제2수신기로부터 출력되는 상기 비교결과에 응답하여 상기 제1 이진데이터를 검출하는 제2입력 인코더를 구비한다.

- <25> 상기 제3신호는 상기 제1송신기의 출력신호 및 상기 제2송신기의 출력신호에 의하여 결정된다. 상기 제3신호는 7개의 레벨들중에서 어느 하나의 레벨을 갖는 신호이다.
- <26> 상기 기준전압은 상기 7개의 레벨들중에서 어느 하나와 상기 4개의 레벨들 중에서 어느 하나의 레벨사이의 전압이다.
- <27> 상기 제1송신기는 출력 드라이버 및 임피이던스 보정회로를 구비하며, 상기 임피이던스 보정회로는, 상기 제1반도체 장치가 초기화되는 경우에 동작하여 상기 전송선에 접속되는 상기 출력드라이버의 임피이던스의 값을 상기 전송선의 임피이던스의 값으로 정합시키기 위한 N비트 제어신호를 출력하고, 상기 출력 드라이버는 상기 N비트 제어신호에 응답하여 상기 출력 드라이버의 임피이던스의 값을 보정하고, 상기 제1 이진데이터 및 상기 제1신호에 상응하는 논리값에 응답하여 상기 제1신호를 상기 전송선으로 드라이브한다.
- <28> 상기 제2송신기는 출력 드라이버 및 임피이던스 보정회로를 구비하며, 상기 임피이던스 보정회로는 상기 제2반도체 장치가 초기화되는 경우에 동작하고, 상기 전송선에 접속되는 상기 출력드라이버의 임피이던스의 값을 상기 전송선의 임피이던스의 값으로 정합시키기 위한 N비트 제어신호를 출력하고, 상기 출력 드라이버는 상기 N비트 제어신호에 응답하여 상기 출력 드라이버의 임피이던스의 값을 보정하고, 상기 제2 이진데이터 및 상기 제2신호에 상응하는 논리값에 응답하여 상기 제2신호를 상기 전송선으로 드라이브한다.

- <29> 상기 제1수신기는 다수의 기준전압들을 발생하는 기준전압 발생기; 및 상기 제1신호에 응답하여 상기 다수의 기준전압들중에서 대응되는 기준전압을 선택하고, 선택된 적어도 하나의 기준전압 및 상기 제3신호를 비교하고, 그 비교결과를 출력하는 비교회로를 구비한다.
- <30> 상기 제2수신기는 다수의 기준전압들을 발생하는 기준전압 발생기; 및 상기 제2신호에 응답하여 상기 다수의 기준전압들중에서 대응되는 기준전압을 선택하고, 선택된 적어도 하나의 기준전압 및 상기 제3신호를 비교하고, 그 비교결과를 출력하는 비교회로를 구비한다.
- <31> 본 발명에 따른 반도체 장치는 패드; 제1 이진데이터를 수신하여 적어도 4개의 레벨들중에서 어느 하나의 레벨을 갖는 출력신호로 변환하여 출력하는 출력MUX; 상기 출력MUX 및 상기 패드사이에 접속되고, 상기 출력신호를 상기 패드에 접속된 전송선을 통하여 소정의 신호전송회로로 드라이빙하는 송신기; 상기 출력신호에 의하여 선택된 적어도 하나의 기준전압과 및 상기 패드의 신호를 비교하고, 그 비교결과를 출력하는 수신기; 및 상기 수신기로부터 출력되는 상기 비교결과에 응답하여 상기 소정의 신호전송회로가 출력한 제2 이진데이터를 검출하는 입력 인코더를 구비한다.
- <32> 상기 송신기는 출력 드라이버 및 임피이던스 보정회로를 구비하며 상기 임피이던스 보정회로는 상기 반도체 장치가 초기화되는 경우에 동작하여 상기 전송선에 접속되는 상기 출력드라이버의 임피이던스의 값을 상기 전송선의 임피이던스의 값으로 정합시키기 위한 N비트 제어신호를 출력하고, 상기 출력 드라이버는 상기 N비트 제어신호에 응답하여 상기 출력 드라이버의 임피이던스의 값을 보정하고, 상기 제1 이진데이터 및 상기 제1신호에 상응하는 논리값에 응답하여 상기 출력신호를 상기 전송선으로 드라이빙한다.

<33> 본 발명에 따른 기준전압 발생회로는 제1노드와 출력단사이에 접속되는 임피이던스 ; 제1전원전압과 상기 제1노드사이에 접속되고, 대응되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군; 및 제2전원전압과 상기 제1노드사이에 접속되고, 대응되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군을 구비하며, 상기 각 트랜지스터 군은 다수개의 트랜지스터들을 구비하며, 각 트랜지스터의 게이트는 상기 대응되는 N비트 제어신호의 각 비트에 응답하여 제어되고, 상기 제2전원전압은 상기 제1전원전압의 반이다.

<34> 본 발명에 따른 기준전압 발생회로는 제1노드와 출력단사이에 접속되는 제1임피이던스; 제2노드와 상기 출력단사이에 접속되는 제2임피이던스; 제1전원전압과 상기 제1노드사이에 접속되고, 대응되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군; 제2전원전압과 상기 제1노드사이에 접속되고, 대응되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군; 제2전원전압과 상기 제2노드사이에 접속되고, 대응되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군; 및 접지전원과 상기 제2노드사이에 접속되고, 대응되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군을 구비하며, 상기 각 트랜지스터 군은 병렬로 배치되는 다수개의 트랜지스터들을 구비하며, 각 트랜지스터의 게이트는 상기 대응되는 N비트 제어신호의 각 비트에 응답하여 제어되고, 상기 제2전원전압은 상기 제1전원전압의 반이다.

<35> 본 발명에 따른 기준전압 발생회로는 제1노드와 출력단사이에 접속되는 임피이던스 ; 전원전압과 상기 제1노드사이에 접속되고, 대응되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군; 및 접지전압과 상기 제1노드사이에 접속되고, 대응

되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군을 구비하며, 상기 각 트랜지스터 군은 다수개의 트랜지스터들을 구비하며, 각 트랜지스터의 게이트는 상기 대응되는 N비트 제어신호의 각 비트에 응답하여 제어된다.

<36> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<37> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<38> 도 1은 본 발명의 실시예에 따른 4레벨 동시 양방향 시스템을 개략적으로 나타내는 블록도이다. 도 1을 참조하면, 4레벨 동시 양방향 시스템(100)은 제1반도체 장치(110), 전송선(130) 및 제2반도체 장치(140)를 구비한다.

<39> 제1반도체 장치(110)는 전송선(130)을 통하여 제2반도체 장치(140)와 동시에 데이터를 주고받을 수 있다. 도 1에 도시된 각 반도체 장치(110, 140)는 설명의 편의를 위하여 하나의 송수신기 세트(113과 115, 143과 145)만을 도시하나, 본 발명에 따른 4레벨 동시 양방향 시스템(100)은 송수신기 셋의 수에 제한되는 것은 아니다.

<40> 제1반도체 장치(110)는 출력 MUX(111), 4레벨 송신기(113), 수신기(115), 입력 인코더(117), 지연 동기 루프(Delay Locked Loop; DLL), 패드(121) 및 데이터를 저장하기 위한 메모리 장치(미 도시)를 구비한다.

<41> 지연 동기 루프(DLL; 119)는 메모리 장치로부터 출력되는 데이터(ED1, OD1)와 제1 반도체 장치(110)로부터 전송선(130)으로 출력되는 데이터의 위상을 동기시키기 위한 송

신용 클락들(TCLK, TCLKB)을 발생한다. 송신용 클락들(TCLK, TCLKB)은 차동신호들이다.

<42> 출력 MUX(111)는 각 송신용 클락(TCLK, TCLKB)에 응답하여 메모리 장치로부터 출력되는 짝수번 데이터(ED1) 및 홀수번 데이터(OD1)를 수신하고, 코딩하고, 그 코딩 결과(LTXL)를 출력한다. 즉, 출력MUX(111)는 디지털 신호(ED1, OD1)를 아날로그 신호(LTXL)로 변환하는 변환기(converter)의 기능도 갖는다.

<43> 표 1은 각 출력MUX(111, 141)의 출력신호(LTRL, RTXL)를 나타낸다.

<44> 【표 1】

ED1(= ED2 = READ<0>)	OD1(= OD2)	LTXL(= RTXL)
0	0	En00
0	1	En01
1	1	En11
1	0	En10

<45> 4레벨 송신기(113)는 짝수번 데이터(ED1)에 응답하여 출력 MUX(111)의 출력신호(LTXL)를 패드(121)를 통하여 전송선(130)으로 출력한다.

<46> 수신기(115)는 출력MUX(111)의 출력신호(LTXL)에 의하여 선택된 적어도 하나의 기준전압 및 전송선(130)을 통하여 패드(121)로 입력되는 신호(Din1)를 수신하여 비교하고, 그 비교결과를 입력 인코더(117)로 출력한다.

<47> 입력 인코더(117)는 DLL(119)로부터 출력되는 각 수신용 클락(RCLK, RCLKB)에 응답하여 수신기(115)의 출력신호로부터 제2반도체 장치(140)로부터 출력된 데이터(ED2, OD2)를 인코딩하여 메모리 장치로 출력한다.

- <48> 수신용 클락들(RCLK, RCLKB)은 차동신호들로서 수신기(115)의 출력신호와 상기 메모리 장치로 기입되는 데이터의 위상을 동기시키기 위하여 사용된다.
- <49> 제2반도체 장치(140)의 구조 및 동작은 제1반도체 장치(110)의 구조 및 동작과 실질적으로 동일하다. 즉, 제2반도체 장치(140)는 출력 MUX(141), 4레벨 송신기(143), 수신기(145), 입력 인코더(147), 지연 동기 루프(DLL; 149), 패드(151) 및 데이터(ED1, ED2, OD1, OD2)를 저장하기 위한 메모리 장치(미 도시)를 구비한다.
- <50> 표 1에 도시된 바와 같이 제1반도체 장치(110)는 메모리 장치로부터 출력되는 데이터(ED1, OD1)의 상태에 따라 4개의 레벨중(En00, En01, En11, En10)에서 어느 하나의 레벨을 갖는 신호(LTXL)를 전송선(130) 및 패드들(121, 151)을 통하여 제2반도체 장치(140)로 출력하는 동시에 제2반도체 장치(140)는 메모리 장치로부터 출력되는 데이터(ED2, OD2)의 상태에 따라 4레벨 중에서 어느 하나의 레벨을 갖는 신호(RTXL)를 전송선(151) 및 패드들(121, 151)을 통하여 제1반도체 장치(110)로 출력하면, 제2반도체 장치(140)는 출력MUX(141)의 출력신호(RTXL)의 상태에 따라 다수개의 기준전압들 중에서 선택된 적어도 하나의 기준전압 및 수신된 신호(Din2)를 비교하고, 그 비교결과에 따라 제1반도체 장치(110)의 메모리 장치로부터 출력된 데이터(ED1, OD1)를 검출하는 동시에 제1반도체 장치(110)는 출력MUX(141)의 출력신호(LTXL)의 상태에 따라 다수개의 기준전압들 중에서 선택된 적어도 하나의 기준전압 및 수신된 신호(Din1)를 비교하고, 그 비교결과에 따라 제2반도체 장치(140)의 메모리 장치로부터 출력된 데이터(ED2, OD2)를 검출할 수 있다.
- <51> 도 2는 출력MUX의 출력신호의 레벨을 나타낸다. 도 1 및 표 1을 참조하면, 각 출력MUX(111, 141)는 입력되는 데이터(ED1과 OD1, ED2와 OD2)에 응답하여 4개의 레벨들

중에서 어느 하나의 레벨을 갖는 신호(LTXL, RTX)를 출력한다. 여기서 En00은 접지전압(VSS)의 레벨을 갖고, En10은 전원전압(VDD)의 레벨을 갖고, En01은 전원전압(VDD)의 $\frac{1}{2}$ 레벨을 갖고, En11은 전원전압(VDD)의 $\frac{3}{4}$ 레벨을 갖는다.

<52> 도 3은 도 1에 도시된 전송선의 데이터 레벨을 나타낸다. 도 1 내지 도 3을 참조하면, 전송선(130)의 신호는 7개의 레벨들 중에서 어느 하나의 레벨을 갖는다.

<53> 예컨대 제1반도체 장치(110)의 출력MUX(111)의 출력신호(LTXL)가 4개의 레벨들 중에서 En10을 갖고, 제2반도체 장치(140)의 출력MUX(141)의 출력신호(RTX)가 4개의 레벨들 중에서 En10을 갖는 경우, 전송선(130)의 신호레벨은 En10(=10, 또는 VDD)이다.

<54> 그리고, LTXL이 En11이고, RTX가 En10인 경우, 전송선(130)의 신호레벨은 En11과 En10의 중간 레벨, 즉 $5/6VDD$ 의 레벨을 갖는다. 즉, 전송선(130)의 신호레벨은 제1반도체 장치(110)의 출력MUX(111)의 출력신호(LTXL)와 제2반도체 장치(140)의 출력MUX(141)의 출력신호(RTX)의 합의 절반이다.

<55> 도 4는 도 1에 도시된 4레벨 송신기의 블록도를 나타낸다. 도 4를 참조하면, 4레벨 송신기(113)는 임피던스 보정회로(impedance calibration circuit; 200) 및 출력 드라이버(300)를 구비한다.

<56> 데이터 전송시 발생하는 부호간의 간섭을 제거하기 위하여, 각 반도체 장치(110, 140)의 각 패드(121, 151)에 접속되는 외부 임피던스의 값과 각 패드(121, 151)에서 바라본 출력 임피던스의 값은 동일하거나 또는 소정의 값을 유지해야 한다.

<57> 즉, 패드(121)에서 바라본 제1반도체 장치(110)의 출력 드라이버(300)의 임피던스의 값은 전송선(130)의 임피던스의 값과 동일해야 한다. 그리고 패드(151)에서 바라

본 제2반도체 장치(140)의 출력 드라이버의 임피던스의 값은 전송선(130)의 임피던스의 값과 동일해야 한다.

<58> 따라서, 각 반도체 장치(110, 140)가 초기화되는 경우 각 패드(121, 151)에서 바라본 출력 드라이버의 임피던스의 값은 소정의 값, 예컨대 전송선(130)의 임피던스의 값으로 자동적으로 보정(calibrate)되어야 한다.

<59> 따라서, 임피던스 보정회로(200)는 항상 작동하는 것이 아니고, 전원투입(power-up)시 또는 리셋(reset)시와 같은 특별한 경우에만 작동한다.

<60> 출력 드라이버(300)는 임피던스 보정회로(200)로부터 출력되는 N비트(N은 5)제어 신호(nZ_p 또는 nZ_n , n은 유리수)에 응답하여 짝수번 데이터(ED1) 및 도 1의 출력 MUX(111)로부터 출력되는 신호(LTXL)에 상응하는 논리값에 응답하여 신호(LTXL)를 패드(121)로 구동한다.

<61> 도 5는 도 4에 도시된 임피던스 보정회로의 회로도를 나타낸다. 도 5를 참조하면, 임피던스 보정회로(200)는 임피던스(3Z), 다수개의 PMOS 트랜지스터들(201, 203, 205, 207, 209), 제1비교회로(213), 제1카운트 제어회로(215), 제1카운터(217)를 구비한다.

<62> 각 PMOS 트랜지스터(201, 203, 205, 207, 209)는 전원전압(VDD)과 노드(211)사이에 접속되고, 각 PMOS 트랜지스터(201, 203, 205, 207, 209)의 게이트는 대응되는 제1카운터(217)의 출력신호($3Z_p$)의 각 비트에 응답하여 제어된다. 제1카운터(217)의 출력신호($3Z_p$)는 5비트로 구성된다.

- <63> 각 PMOS 트랜지스터(201, 203, 205, 207, 209)의 채널폭(16X, 8X, 4X, 2X, 1X) 또는 β 비(beta ratio)는 서로 다른 것이 바람직하다.
- <64> 임피이던스(3Z)는 노드(211)와 접지전압(VSS)사이에 접속된다. 제1비교회로 (213)는 (-)입력단으로 입력되는 기준전압(VREF)과 (+)입력단으로 입력되는 노드 (211)의 전압을 비교하고, 그 비교결과를 제1카운트 제어회로(215)로 출력한다. 여기서 기준전압 (VREF)은 전원전압(VDD)의 절반인 것이 바람직하다.
- <65> 제1카운트 제어회로(215)는 제1비교회로(213)의 출력신호에 응답하여 제1카운터 (217)의 동작을 제어한다. 제1카운터(217)는 5비트 출력신호(3Zp)를 출력 드라이버(300)로 출력한다.
- <66> 각 PMOS 트랜지스터(201, 203, 205, 207, 209)의 게이트는 제1카운터(217)의 출력 신호(3Zp)의 각 비트에 응답하여 턴-온/턴-오프된다. 만일 임피이던스(3Z)의 값과 제1카운터(217)의 출력신호(3Zp)의 각 비트에 응답하여 턴-온/턴-오프된 각 PMOS 트랜지스터 (201, 203, 205, 207, 209)의 전체적인 임피이던스의 값이 동일하게 되면, 노드(211)의 전압은 기준전압(VREF)과 동일하게 된다. 이때 제1카운터 제어회로(215)는 제1비교회로 (213)의 출력신호에 응답하여 제1카운터(217)의 카운트 값을 유지시킨다(hold).
- <67> 예컨대 <00000>부터 업-카운트를 시작한 제1카운터(217)의 카운트 값이 <10010>에 도달되었을 때, <10010>에 응답하여 각 PMOS 트랜지스터(201,207)가 턴-온되고, 이들 (201, 207)의 턴-온 저항의 값이 3Z가 된다면, 노드(211)의 전압은 기준전압(VREF)과 동일하게 된다.

- <68> 이 경우 제1카운터 제어회로(215)는 제1카운터(217)의 카운트 값을 <10010>으로 유지하기 위한 제어신호를 제1카운터(217)로 출력한다. 즉, 노드(211)의 전압은 제1카운터(217)의 카운트 값($3Z_p$)이 증가되는 경우 전원전압(VDD)으로부터 점차 감소하여 기준 전압(VREF)의 레벨로 감소한다. 제1카운터(217)는 소정의 리셋신호(미도시)에 응답하여 리셋된다.
- <69> 출력 임피이던스 제어회로(200)는 Z_p , $1.5Z_p$, 또는 $0.5Z_p$ 를 생성하기 위한 분배기들(219, 221, 223)을 더 구비한다.
- <70> 예컨대 $3Z_p$ 가 <10010>인 경우, Z_p 는 <00110>, $1.5Z_p$ 는 <01100>, 및 $0.5Z_p$ 는 <01001>이다. 임피이던스 보정회로(200)를 구현하는 방법은 무수히 많으나, 본 발명에서는 $3Z_p$ 를 이용하여 Z_p , $1.5Z_p$, 또는 $0.5Z_p$ 를 생성하는 회로를 구현하였다. 그러나 본 발명은 이에 한정되는 것은 아니다.
- <71> 임피이던스 보정회로(200)는 임피이던스($3Z$), 다수개의 NMOS 트랜지스터들 (231, 233, 235, 237, 239), 제2비교회로(243), 제2카운트 제어회로 (245), 및 제2카운터(247)를 구비한다. 각 NMOS 트랜지스터(231, 233, 235, 237, 239)는 제2카운터(247)의 출력신호($3Z_n$)에 의하여 각 PMOS 트랜지스터(201, 203, 205, 207, 209)와 별도로 제어된다.
- <72> 임피이던스($3Z$)는 전원전압(VDD)과 노드(241)사이에 접속되고, 각 NMOS 트랜지스터(231, 233, 235, 237, 239)는 노드(241)와 접지전압(VSS)사이에 접속된다. 각 NMOS 트랜지스터(231, 233, 235, 237, 239)의 게이트는 제2카운터(247)로부터 출력되는 5비트의 출력신호($3Z_n$)의 각 비트에 응답하여 제어된다.

- <73> 제2비교회로(243)는 (+)입력단으로 입력되는 노드(241)의 전압과 (-)입력단으로 입력되는 기준전압(VREF)을 수신하고 비교하고, 그 결과를 출력단을 통하여 제2카운트 제어회로(245)로 출력한다. 제2카운터(247)의 출력신호(3Zn)가 1비트씩 증가하는 경우 노드(241)의 전압은 전원전압(VDD)의 레벨로부터 기준전압(VREF)의 레벨로 감소한다.
- <74> 따라서 노드(241)의 전압과 기준전압(VREF)이 동일한 경우, 제2카운트 제어회로(245)는 제2비교회로(243)의 출력신호에 응답하여 제2카운터(247)의 출력신호 (3Zn)를 유지시킨다.
- <75> 출력 임피던스 제어회로(200)는 Zn, 또는 1.5Zp을 생성하기 위한 분배기들 (249, 251, 253)을 더 구비한다. 각 분배기(249, 251, 253)의 출력신호는 Zn, 1.5Zn, 0.5Zn이다.
- <76> 도 6은 도 4에 도시된 출력 드라이버의 회로도들을 나타낸다. 도 6을 참조하면, 출력 드라이버(300)는 다수개의 논리 회로들(301, 303, 331, 333) 및 다수개의 트랜지스터 그룹들(305, 307, 309, 335, 337, 339), 다수개의 트랜지스터들(311, 313, 315, 341, 343, 345) 및 선형 제어 저항들(LCR1, LCR2)을 구비한다.
- <77> 도 7은 도 6에 도시된 트랜지스터 그룹의 회로도들을 나타낸다. 도 7에서는 설명의 편의를 위하여 하나의 트랜지스터 그룹(307)만을 도시한다. 나머지 트랜지스터 그룹들(305, 309, 335, 337, 339)각각은 도 7에 도시된 트랜지스터 그룹(307)으로부터 용이하게 이해될 수 있으므로, 나머지 트랜지스터 그룹들(305, 309, 335, 337, 339)각각에 대한 상세한 설명은 생략한다.

- <78> 트랜지스터 그룹(307)은 전원전압(VDD)과 노드(307A)에 각각 접속되는 다수개의 트랜지스터들(3071, 3073, 3075, 3077, 3079) 및 노드(307A)와 노드(317)사이에 접속되는 임피던스(3Z)를 구비한다.
- <79> 각 트랜지스터(3071, 3073, 3075, 3077, 3079)의 게이트는 도 5에 도시된 제1카운터(217)의 각 비트(3Zp<0> 내지 3Zp<4>)에 의하여 턴-온/턴-오프된다.
- <80> 트랜지스터 그룹(305)을 구성하는 각 트랜지스터는 도 5에 도시된 분배기(219)로부터 출력되는 출력신호(Zp)의 대응하는 비트에 응답하여 턴-온/턴-오프되고, 트랜지스터 그룹(309)을 구성하는 각 트랜지스터는 도 5에 도시된 분배기(221)의 출력신호(1.5Zp)의 대응하는 비트에 응답하여 턴-온/턴-오프된다.
- <81> 또한, 트랜지스터 그룹(337)을 구성하는 각 트랜지스터는 도 5에 도시된 제2카운터(247)의 출력신호(3Zn)의 대응하는 비트에 응답하여 턴-온/턴-오프되고, 트랜지스터 그룹(335)을 구성하는 각 트랜지스터는 도 5에 도시된 분배기(249)의 출력신호(Zn)의 대응하는 비트에 응답하여 턴-온/턴-오프되고, 트랜지스터 그룹(339)을 구성하는 각 트랜지스터는 도 5에 도시된 분배기(251)의 출력신호(1.5Zn)의 대응하는 비트에 응답하여 턴-온/턴-오프된다.
- <82> PMOS트랜지스터 그룹(305)은 PMOS트랜지스터(311)를 통하여 제1전원전압(VDD)과 노드(321)사이에 접속되고, PMOS트랜지스터 그룹(307)은 PMOS트랜지스터(313)를 통하여 제1전원전압(VDD)과 노드(321)사이에 접속되고, PMOS트랜지스터 그룹(309)은 PMOS트랜지스터(315)를 통하여 제2전원전압(VDD)과 노드(321)사이에 접속된다.

- <83> PMOS트랜지스터(311)의 게이트는 제1논리 회로(301)의 출력단에 접속되고, PMOS트랜지스터들(313, 315)각각의 게이트는 제2논리 회로(303)의 출력단에 접속된다.
- <84> 제1논리 회로(301)는 En10의 논리값(LEN10)과 READ<0>의 부정 논리곱을 출력하고, 제2논리 회로(303)는 En11의 논리값(LEN11)과 READ<0>의 부정 논리곱을 출력한다.
- <85> 제1선형 제어 저항(linear controlled resistance; LCR1)은 노드(321)와 패드(121) 사이에 접속되고, 선형 제어저항(LCR2)은 패드(121)와 노드(351)사이에 접속된다.
- <86> NMOS트랜지스터 그룹(335)은 NMOS트랜지스터(341)를 통하여 접지전압(VSS)과 노드(351)사이에 접속되고, NMOS트랜지스터 그룹(337)은 NMOS트랜지스터(343)를 통하여 접지전압(VSS)과 노드(351)사이에 접속되고, NMOS트랜지스터 그룹(339)은 NMOS트랜지스터(345)를 통하여 제2전원전압(V_{DD})과 노드(351)사이에 접속된다.
- <87> NMOS트랜지스터(341)의 게이트는 제3논리 회로(331)의 출력단에 접속되고, NMOS트랜지스터들(343, 345)각각의 게이트는 제4논리 회로(333)의 출력단에 접속된다.
- <88> 제3논리 회로(331)는 En00의 논리값(LEN00)과 READ<0>의 부정 논리합을 출력하고, 제4논리 회로(333)는 En01의 논리값(LEN01)과 READ<0>의 부정 논리합을 출력한다.
- <89> 표 2는 도 1에 도시된 각 출력MUX(111, 141)의 출력신호(LTXL, RTXKL)에 따른 논리값을 나타낸다.

<90> 【표 2】

LTXL	LEn10	LEn11	LEn01	LEn00
En10	High	Low	Low	Low
En11	Low	High	Low	Low
En01	Low	Low	High	Low
En00	Low	Low	Low	High

- <91> 예컨대, 임피던스 보정회로(200)는 5비트로 구성된 제어신호(nZ_p , nZ_n , n 은 0.5, 1. 1.5, 2. 3등의 유리수)를 대응되는 MOS 트랜지스터 군(305, 307, 309, 335, 337, 339)으로 출력한다. 따라서 각 MOS 트랜지스터 군(305, 307, 309, 335, 337, 339)의 각 MOS 트랜지스터는 대응되는 제어신호(nZ_p , nZ_n)의 각 비트에 응답하여 턴-온/턴-오프된다.
- <92> 표 1, 표 2를 및 도 6을 참조하면, 출력MUX(111)의 출력신호(LTXL)가 En_{10} 인 경우, En_{10} 의 논리값(LEN_{10})은 하이(high)이고, $READ<0>$ 값은 0이다. 따라서 제1논리회로(301)는 로우(low)를 PMOS트랜지스터(311)의 게이트로 출력하고, 제2논리회로(303)는 하이(high)를 각 PMOS 트랜지스터(313, 315)의 게이트로 출력한다. 또한, 제3논리회로(331) 및 제4논리회로(333)는 대응되는 NMOS 트랜지스터(341, 343, 345)의 게이트로 로우를 출력한다.
- <93> 따라서 출력 드라이버(300)는 패드(121)를 통하여 전원전압(VDD)의 레벨을 갖는 전압을 출력한다. 즉, 출력드라이버(300)는 En_{10} 에 상응하는 전압을 출력하는 것이 바람직하다.
- <94> 그리고, 출력MUX(111)의 출력신호(LTXL)가 En_{11} 인 경우, En_{11} 의 논리값 (LEN_{11})은 하이(high)이고, $READ<0>$ 값은 1이다. 따라서 각 PMOS 트랜지스터(313, 315)는 턴-온되므로, 패드(121)의 전압은 제1전원전압(VDD)과 제2전원전압($V_{DD}/2$)에 의하여 결정된다. 따라서 각 PMOS 트랜지스터 군(307, 309)의 각 PMOS 트랜지스터의 턴-온 저항과 각 PMOS 트랜지스터(313, 315)의 턴-온 저항을 적절히 조절하면, 본 발명에 따른 출력 드라이버(300)는 En_{11} 을 출력 할 수 있다.

- <95> 그리고, 출력MUX(111)의 출력신호(LTXL)가 En00인 경우, En00의 논리값 (LEN00)은 하이(high)이고, READ<0>값은 0이다. 따라서 NMOS 트랜지스터(341)는 턴-온되므로, 패드(121)의 전압은 접지전압(VSS)에 의하여 결정된다. 이 경우, 출력 드라이버(300)는 En00을 출력 할 수 있다.
- <96> 그리고, 출력MUX(111)의 출력신호(LTXL)가 En01인 경우, En01의 논리값 (LEN01)은 하이(high)이고, READ<0>값은 0이다. 따라서 각 NMOS 트랜지스터(343, 345)는 턴-온되므로, 패드(121)의 전압은 접지전압(VSS)과 제2전원전압(V_{DD})에 의하여 결정된다. 따라서 각 NMOS 트랜지스터 군(337, 339)의 각 NMOS 트랜지스터의 턴-온 저항과 각 NMOS 트랜지스터(343, 345)의 턴-온 저항을 적절히 조절하면, 본 발명에 따른 출력 드라이버(300)는 En01을 출력할 수 있다.
- <97> 따라서 출력 드라이버(300)는 패드(121)를 통하여 En10, En11, En00, 또는 En01에 각각 상응하는 전압을 출력한다.
- <98> 도 8은 4레벨 동시 양방향 입출력회로의 수신기의 블록도를 나타낸다. 도 8을 참조하면, 수신기(115)는 기준전압 발생회로(400) 및 비교회로(500)를 구비한다. 기준전압 발생회로(400)는 도 4에 도시된 임피던스 보정회로(200)의 출력신호(nZp , nZn)에 응답하여 제1기준전압 내지 제6기준전압들(VREF10L, VREF11H, VREF11L, VREF01H, VREF01L, VREF00H)을 발생하기 위한 기준전압 발생기들(400_1 내지 400_6)을 구비한다.
- <99> 비교회로(500)는 출력MUX(111)의 출력신호(LTXL)에 응답하여 제1기준전압 내지 제6기준전압들(VREF10L, VREF11H, VREF11L, VREF01H, VREF01L, VREF00H)중에서 적어도 하나의 기준전압을 선택하고, 선택된 기준전압과 입력 데이터(Din1)를 비교하고, 그 비교결과(OA, OB, OC)를 입력 인코더(117)로 출력한다.

- <100> 도 9는 제1기준전압 발생회로의 회로도를 나타낸다. 도 9를 참조하면, 제1기준전압 발생회로(400_1)는 다수개의 PMOS 트랜지스터 군들(4001, 4005, 4009, 4013), 다수개의 PMOS트랜지스터들(4003, 4007, 4011, 4015) 및 임피이던스(4018)를 구비한다.
- <101> 도 5, 도 7 및 도 9를 참조하면, 임피이던스 보정회로(200)로부터 출력되는 각 제어신호($0.5Z_p$, Z_p , $3Z_p$, $1.5Z_p$)는 대응되는 각 PMOS 트랜지스터 군(4001, 4005, 4009, 4013)의 게이트로 입력된다.
- <102> 각 PMOS 트랜지스터 군(4001, 4005, 4009)의 각 PMOS 트랜지스터는 대응되는 PMOS 트랜지스터(4003, 4007, 4011)를 통하여 제1전원전압(VDD)과 노드(4017)사이에 접속된다. PMOS 트랜지스터 군(4013)의 각 PMOS 트랜지스터는 PMOS트랜지스터 (4015)를 통하여 제2전원전압($V_{DD}/2$)과 노드(4017)사이에 접속된다.
- <103> 각 PMOS트랜지스터(4003, 4007, 4011, 4015)의 게이트는 접지전압(VSS)에 접속된다. 임피이던스(4018)는 노드(4017)와 노드(4019)사이에 접속되고, 노드(4019)의 전압은 제1기준전압(VREF10L)이다.
- <104> 예컨대, $0.5Z_p$ 에 응답한 PMOS 트랜지스터 군(4001)의 임피이던스의 값이 $0.5Z$ 이고, Z_p 에 응답한 PMOS 트랜지스터 군(4005)의 임피이던스의 값이 Z 이고, $3Z_p$ 에 응답한 PMOS 트랜지스터 군(4009)의 임피이던스의 값이 $3Z$ 이고, $1.5Z_p$ 에 응답한 PMOS 트랜지스터 군(4013)의 임피이던스의 값이 $1.5Z$ 인 경우, 임피이던스(4018)의 값은 $4Z$ 인 것이 바람직하다. 도 15에는 제1기준전압(VREF10L)의 레벨이 도시되어 있다.
- <105> 도 10은 제2기준전압 발생회로의 회로도를 나타낸다. 도 10을 참조하면, 제2기준전압 발생회로(400_2)는 다수개의 PMOS 트랜지스터 군들(4101, 4105, 4109, 4113, 4117),

다수개의 PMOS트랜지스터들(4103, 4107, 4111, 4115, 4119) 및 임피던스(4122)를 구비한다.

<106> 도 5, 도 7 및 도 10을 참조하면, 임피던스 보정회로(200)로부터 출력되는 각 제어신호(Z_p , $3Z_p$, $1.5Z_p$)는 대응되는 각 PMOS 트랜지스터 군(4101, 4105, 4109, 4113, 4117)의 게이트로 입력된다.

<107> 각 PMOS 트랜지스터 군(4101, 4105, 4109)의 각 PMOS 트랜지스터는 대응되는 PMOS 트랜지스터(4103, 4107, 4111)를 통하여 제1전원전압(VDD)과 노드(4021)사이에 접속된다. 각 PMOS 트랜지스터 군(4113, 4117)의 각 PMOS 트랜지스터는 PMOS각 트랜지스터(4115, 4119)를 통하여 제2전원전압(V_{DD})과 노드(4121)사이에 접속된다.

<108> 각 PMOS트랜지스터(4103, 4107, 4111, 4115, 4119)의 게이트는 접지전압(VSS)에 접속된다. 임피던스(4122)는 노드(4121)와 노드(4123)사이에 접속되고, 노드(4123)의 전압은 제2기준전압(VREF11H)이다.

<109> 예컨대, Z_p 에 응답한 PMOS 트랜지스터 군(4101)의 임피던스의 값이 Z 이고, $3Z_p$ 에 응답한 각 PMOS 트랜지스터 군(4105, 4109)의 임피던스의 값이 Z 이고, $1.5Z_p$ 에 응답한 각 PMOS 트랜지스터 군(4113, 4117)의 임피던스의 값이 $1.5Z$ 인 경우, 임피던스(4022)의 값은 $4Z$ 인 것이 바람직하다. 도 15에는 제2기준전압 (VREF11H)의 레벨이 도시되어 있다.

<110> 도 11은 제3기준전압 발생회로의 회로도들을 나타낸다. 도 11을 참조하면, 제3기준전압 발생회로(400_3)는 다수개의 PMOS 트랜지스터 군들(4201, 4205, 4209, 4213), 다수개

의 NMOS 트랜지스터 군들(4223, 4227), 다수개의 MOS트랜지스터들(4203, 4207, 4211, 4215, 4221, 4225) 및 두 개의 임피던스들 (4218, 4220)을 구비한다.

<111> 도 5, 도 7 및 도 11을 참조하면, 임피던스 보정회로(200)로부터 출력되는 각 제어 신호($3Z_p$, $1.5Z_p$, $1.5Z_n$, $3Z_n$)는 대응되는 각 MOS 트랜지스터 군(4201, 4205, 4209, 4213, 4223, 4227)의 게이트로 입력된다.

<112> 각 PMOS 트랜지스터 군(4201, 4205)의 각 PMOS 트랜지스터는 대응되는 PMOS트랜지스터(4203, 4207)를 통하여 제1전원전압(VDD)과 노드(4217)사이에 접속된다. 각 PMOS 트랜지스터 군(4209, 4213)의 각 PMOS 트랜지스터는 각 PMOS 트랜지스터 (4211, 4215)를 통하여 제2전원전압($V_{DD}/2$)과 노드(4217)사이에 접속된다.

<113> 각 NMOS트랜지스터(4203, 4207, 4211, 4215)의 게이트는 접지전압(VSS)에 접속된다

<114> NMOS 트랜지스터 군(4223)은 NMOS 트랜지스터(4221)를 통하여 노드(4219)와 제2전원전압($V_{DD}/2$)사이에 접속되고, NMOS 트랜지스터 군(4227)은 NMOS 트랜지스터 (4225)를 통하여 노드(4219)와 제1전원전압(VDD)사이에 접속된다.

<115> 각 NMOS트랜지스터(4221, 4225)의 게이트는 제1전원전압(VDD)에 접속된다. 임피던스(4218)는 노드(4217)와 노드(4229)사이에 접속되고, 임피던스(4220)는 노드(4229)와 노드(4219)사이에 접속되고, 노드(4229)의 전압은 제3기준전압 (V_{REF11L})이다.

<116> 예컨대, $3Z_p$ 에 응답한 각 PMOS 트랜지스터 군(4201, 4205)의 임피던스의 값이 $3Z$ 이고, $1.5Z_p$ 에 응답한 각 PMOS 트랜지스터 군(4209, 4213)의 임피던스의 값이 $1.5Z$ 이고, $1.5Z_n$ 에 응답한 NMOS 트랜지스터 군(4223)의 임피던스의 값이 $1.5Z$ 이고, $3Z_n$ 에 응

답한 NMOS 트랜지스터 군(4227)의 임피던스의 값이 3Z인 경우, 각 임피던스(4218, 4219)의 값은 4Z인 것이 바람직하다. 도 15에는 제3기준전압(VREF11L)의 레벨이 도시되어 있다.

<117> 도 12는 제4기준전압 발생회로의 회로도를 나타낸다. 도 12를 참조하면, 제4기준전압 발생회로(400_4)는 다수개의 PMOS 트랜지스터 군들(4303, 4307), 다수개의 NMOS 트랜지스터 군들(4317, 4321, 4325, 4329), 다수개의 MOS트랜지스터들 (4303, 4307, 4315, 4319, 4323, 4327) 및 두 개의 임피던스들(4311, 4314)을 구비한다.

<118> 도 5, 도 7 및 도 12를 참조하면, 임피던스 보정회로(200)로부터 출력되는 각 제어신호(3Zp, 1.5Zp, 1.5Zn, 3Zn)는 대응되는 각 MOS 트랜지스터 군(4303, 4307, 4317, 4321, 4325, 4329)의 게이트로 입력된다.

<119> PMOS 트랜지스터 군(4301)의 각 PMOS 트랜지스터는 대응되는 PMOS트랜지스터 (4303)를 통하여 제1전원전압(VDD)과 노드(4309)사이에 접속된다. PMOS 트랜지스터 군 (4305)의 각 PMOS 트랜지스터는 PMOS 트랜지스터(4307)를 통하여 제2전원전압 ($\frac{1}{2}VDD$)과 노드(4309)사이에 접속된다.

<120> 각 PMOS트랜지스터(4303, 4307)의 게이트는 접지전압(VSS)에 접속된다.

<121> 각 NMOS 트랜지스터 군(4317, 4321)의 각 NMOS 트랜지스터는 대응되는 NMOS 트랜지스터(4315, 4319)를 통하여 노드(4335)와 제2전원전압($\frac{1}{2}VDD$)사이에 접속되고, 각 NMOS 트랜지스터 군(4325, 4329)은 NMOS 트랜지스터(4323, 4327)를 통하여 노드(4335)와 접지전압(VSS)사이에 접속된다.

- <122> 각 NMOS트랜지스터(4315, 4319, 4323, 4327)의 게이트는 제1전원전압(VDD)에 접속된다. 임피던스(4311)는 노드(4309)와 노드(4313)사이에 접속되고, 임피던스(4314)는 노드(4313)와 노드(4335)사이에 접속되고, 노드(4313)의 전압은 제4기준전압(VREF01H)이다.
- <123> 예컨대, 3Zp에 응답한 PMOS 트랜지스터 군(4301)의 임피던스의 값이 3Z이고, 1.5Zp에 응답한 PMOS 트랜지스터 군(4305)의 임피던스의 값이 1.5Z이고, 1.5Zn에 응답한 각 NMOS 트랜지스터 군(4317, 4321)의 임피던스의 값이 1.5Z이고, 3Zn에 응답한 각 NMOS 트랜지스터 군(4325, 4329)의 임피던스의 값이 3Z인 경우, 각 임피던스(4311, 4314)의 값은 4Z인 것이 바람직하다. 도 15에는 제4기준전압(VREF01H)의 레벨이 도시되어 있다.
- <124> 도 13은 제5기준전압 발생회로의 회로도도를 나타낸다. 도 13을 참조하면, 제5기준전압 발생회로(400_5)는 다수개의 NMOS 트랜지스터 군들(4405, 4409, 4415, 4419, 4423), 다수개의 MOS트랜지스터들(4403, 4407, 4413, 4417, 4421) 및 임피던스(4326)를 구비한다.
- <125> 도 5, 도 7 및 도 13를 참조하면, 임피던스 보정회로(200)로부터 출력되는 각 제어신호(Zn, 1.5Zn, 3Zn)는 대응되는 각 MOS 트랜지스터 군(4423, 4405, 4409, 4415, 4419)의 게이트로 입력된다.
- <126> 각 NMOS 트랜지스터 군(4405, 4409)의 각 NMOS 트랜지스터는 대응되는 NMOS트랜지스터(4403, 4407)를 통하여 노드(4325)와 제2전원전압($\frac{1}{2}$ VDD)사이에 접속된다. 각 NMOS트랜지스터(4403, 4407)의 게이트는 제1전원전압(VDD)에 접속된다.

- <127> 각 NMOS 트랜지스터 군(4415, 4419, 4423)의 각 NMOS 트랜지스터는 대응되는 NMOS 트랜지스터(4413, 4417, 4421)를 통하여 노드(4325)와 접지전압(VSS)사이에 접속된다.
- <128> 각 NMOS트랜지스터(4413, 4417, 4421)의 게이트는 제1전원전압(VDD)에 접속된다.
- <129> 예컨대, Z_n 에 응답한 NMOS 트랜지스터 군(4423)의 임피던스의 값이 Z 이고, $1.5Z_n$ 에 응답한 각 NMOS 트랜지스터 군(4405, 4409)의 임피던스의 값이 $1.5Z$ 이고, $3Z_n$ 에 응답한 각 NMOS 트랜지스터 군(4415, 4419)의 임피던스의 값이 $3Z$ 인 경우, 임피던스(4326)의 값은 $4Z$ 인 것이 바람직하다. 도 15에는 제5기준전압 (VREF01L)의 레벨이 도시되어 있다.
- <130> 도 14는 제6기준전압 발생회로의 회로도들을 나타낸다. 도 14를 참조하면, 제6기준전압 발생회로(400_6)는 다수개의 NMOS 트랜지스터 군들(4505, 4509, 4513, 4517), 다수개의 NMOS트랜지스터들(4503, 4507, 4511, 4515) 및 임피던스(4519)를 구비한다.
- <131> 도 5, 도 7 및 도 14를 참조하면, 임피던스 보정회로(200)로부터 출력되는 각 제어신호($0.5Z_n$, Z_n , $1.5Z_n$, $3Z_n$)는 대응되는 각 MOS 트랜지스터 군(4505, 4509, 4513, 4517)의 게이트로 입력된다.
- <132> NMOS 트랜지스터 군(4505)의 각 NMOS 트랜지스터는 대응되는 NMOS트랜지스터(4503)를 통하여 제2전원전압(V_{DD})과 노드(4501)사이에 접속된다. 각 NMOS 트랜지스터 군(4509, 4513, 4517)의 각 NMOS 트랜지스터는 대응되는 NMOS 트랜지스터 (4507, 4511, 4515)를 통하여 접지전압(VSS)과 노드(4501)사이에 접속된다.
- <133> 각 NMOS트랜지스터(4503, 4507, 4511, 4515)의 게이트는 전원전압(VDD)에 접속된다.

- <134> 예컨대, $1.5Z_n$ 에 응답한 NMOS 트랜지스터 군(4505)의 임피던스의 값이 $1.5Z$ 이고, $3Z_n$ 에 응답한 NMOS 트랜지스터 군(4509)의 임피던스의 값이 $3Z$ 이고, Z_n 에 응답한 NMOS 트랜지스터 군(4513)의 임피던스의 값이 Z 이고, $0.5Z_n$ 에 응답한 NMOS 트랜지스터 군(4517)의 임피던스의 값이 $0.5Z$ 인 경우, 임피던스(4519)의 값은 $4Z$ 인 것이 바람직하다. 도 15에는 제6기준전압(VREF00H)의 레벨이 도시되어 있다.
- <135> 도 15는 제1기준전압 내지 제6기준전압의 레벨 및 조건을 나타낸다. 도 1 내지 도 3 및 도 15를 참조하면, $10 \Leftrightarrow 10$ 의 의미는 다음과 같다. 출력MUX(111)의 출력신호(LTXL)가 10이고, 출력MUX(141)의 출력신호(RTXL)가 10인 경우, 전송선(130)의 전압은 $10(En10=VDD)$ 이다.
- <136> 그리고, $10 \Leftrightarrow 11$ 의 의미는 다음과 같다. 출력MUX(111)의 출력신호(LTXL)가 10이고, 출력MUX(141)의 출력신호(RTXL)가 11인 경우, 전송선(130)의 전압은 $(5/6)VDD$ 이다.
- <137> 그리고, $10/(10 \Leftrightarrow 11)$ 의 의미는 다음과 같다. $(10 \Leftrightarrow 11)$ 에 의한 전송선(130)의 전압($(5/6)VDD$) 및 10에 의한 전압이 제1기준전압(VREF10L)이 된다.
- <138> 그리고, $(11 \Leftrightarrow 11) \vee (10 \Leftrightarrow 01)$ 의 의미는 다음과 같다. 출력MUX(111)의 출력신호(LTXL)가 11이고 출력MUX(141)의 출력신호(RTXL)가 11인 경우, 또는 출력MUX(111)의 출력신호(LTXL)가 10이고 출력MUX(141)의 출력신호(RTXL)가 01인 경우, 전송선(130)의 전압은 11이 된다.
- <139> 설명되지 않은 레벨 및 상기 레벨을 만드는 조건은 도 2, 도 3 및 도 15를 참조하면 용이하게 이해될 수 있으므로, 이에 대한 상세한 설명은 생략한다.

- <140> 도 16은 도 8에 도시된 비교회로를 나타낸다. 도 16을 참조하면, 비교회로(500)는 제1비교기(510), 제2비교기(530) 및 제3비교기(550)를 구비한다.
- <141> 도 1 및 도 16을 참조하면, 각 비교기(510, 530, 550)는 출력MUX(111)의 출력신호(LTXL, 즉 En10, En11, En01, En00))에 응답하여 6개의 기준전압들 중에서 하나의 기준전압을 선택하고, 선택된 기준전압과 패드(121)를 통하여 입력된 데이터(Din1)를 비교하고, 그 비교결과(OA, OB, OC)를 입력 인코더(117)로 각각 출력한다.
- <142> 도 1, 도 8 및 도16을 참조하면, 출력MUX(111)의 출력신호(LTXL)가 En10인 경우, 제1비교기(510)는 제1기준전압(VREF10L)을 기준전압으로 선택하고, 제2비교기(530)는 제2기준전압(VREF11H)을 기준전압으로 선택하고, 제3비교기(550)는 제3기준전압(VREF11L)을 기준전압으로 선택한다.
- <143> 따라서, 제1비교기(510)는 제1기준전압(VREF10L)과 입력 데이터(Din1)의 비교결과(OA)를 출력하고, 제2비교기(530)는 제2기준전압(VREF11H)과 입력데이터(Din2)의 비교결과(OB)를 출력하고, 제3비교기(550)는 제3기준전압(VREF11L)과 입력 데이터(Din1)의 비교결과(OC)를 출력한다.
- <144> 또한, 출력MUX(111)의 출력신호(LTXL)가 En00인 경우, 제1비교기(510)는 제4기준전압(VREF01H)을 기준전압으로 선택하고, 제2비교기(530)는 제5기준전압 (VREF01L)을 기준전압으로 선택하고, 제3비교기(550)는 제6기준전압(VREF00H)을 기준전압으로 선택한다.
- <145> 따라서, 제1비교기(510)는 제4기준전압(VREF01H)과 입력 데이터(Din1)의 비교결과(OA)를 출력하고, 제2비교기(530)는 제5기준전압(VREF01L)과 입력데이터 (Din2)의 비교

결과(OB)를 출력하고, 제3비교기(550)는 제6기준전압(VREF00H)과 입력 데이터(Din1)의 비교결과(OC)를 출력한다.

<146> 표 3은 출력MUX(111)의 출력신호(LTXL)에 따른 각 비교기(510, 530, 550)의 기준전압을 나타낸다.

<147> 【표 3】

LTXL	제1비교기의 기준전압	제2비교기의 기준전압	제3비교기의 기준전압
En10	VREF10L	VREF11H	VREF11L
En11	VREF11H	VREF11L	VREF01H
En01	VREF11L	VREF01H	VREF01L
En00	VREF01H	VREF01L	VREF00H

<148> 도 17은 입력 인코더의 출력신호를 나타낸다. 도 1, 도 16 및 도 17을 참조하면, 각 비교기의 출력신호(OA, OB, OC)가 모두 H(high)인 경우, 입력 인코더(117)는 제2반도체 장치(140)가 출력한 데이터(DE2, OD2)를 인코딩하여 클락신호(RCLK, RCLKB)에 응답하여 메모리 장치로 출력한다.

<149> OA, OB 및 OC가 각각 L(low), H, H인 경우, 입력 인코더(117)는 1(ED2)과 1(OD2)을 출력하고, OA, OB 및 OC가 각각 L, L, H인 경우, 입력 인코더(117)는 0(ED2)과 1(OD2)을 출력하고, OA, OB 및 OC가 각각 L, L, L인 경우, 입력 인코더(117)는 0(ED2)과 0(OD2)을 출력한다.

<150> 도 1 내지 도 17을 참조하여 ED1이 0이고, OD1이 0이고, ED2가 1이고 OD2가 0인 경우, 제1반도체 장치(110)와 제2반도체 장치(140)의 동작을 설명하면 다음과 같다.

<151> 제1반도체 장치(110)의 출력MUX(111)는 ED1과 OD1에 응답하여 En00을 4레벨 송신기(113)로 출력한다. 4레벨 송신기(113)의 출력 드라이버(300)는 패드(121)를 통하

여 En00을 전송선(130)으로 출력하는 동시에 제2반도체 장치(140)의 출력MUX (141)는 ED2과 OD2에 응답하여 En10을 4레벨 송신기(143)로 출력한다. 4레벨 송신기(143)의 출력 드라이버(300)는 패드(151)를 통하여 En10을 전송선(130)으로 출력한다. 따라서 전송선(130)의 전압 레벨은 0.5VDD이다.

<152> 수신기(115)의 제1비교기(510)는 En00에 응답하여 기준전압으로 선택된 제4기준전압(VREF01H) 및 입력된 데이터(Din1=0.5VDD)를 비교하고, 논리 하이로 비교결과(OA)로서 출력하고, 제2비교기(530)는 En00에 응답하여 기준전압으로 선택된 제5기준전압(VREF01L) 및 입력된 데이터(Din1=0.5VDD)를 비교하고, 논리 하이로 비교결과(OB)로서 출력하고, 제3비교기(550)는 En00에 응답하여 기준전압으로 선택된 제6기준전압(VREF00H) 및 입력된 데이터(Din1=0.5VDD)를 비교하고, 논리 하이로 비교결과(OC)로서 출력한다.

<153> 따라서 입력 인코더(117)는 클락신호(RCLK, RCLKB)에 응답하여 1의 값을 갖는 ED2 및 0의 값을 갖는 OD2를 메모리 장치로 출력한다. 따라서 제1반도체 장치(110)는 제2반도체 장치(140)가 전송한 데이터(ED2, OD2)를 정확하게 검출한다.

<154> 이와 동시에, 수신기(145)의 제1비교기(510)는 En10에 응답하여 기준전압으로 선택된 제1기준전압(VREF10L) 및 수신된 데이터(Din2=0.5VDD)를 비교하고, 논리 로우(low)로 비교결과(OA)로서 출력하고, 제2비교기(530)는 En10에 응답하여 기준전압으로 선택된 제2기준전압(VREF11H) 및 수신된 데이터(Din2=0.5VDD)를 비교하고, 논리 로우로 비교결과(OB)로서 출력하고, 제3비교기(550)는 En10에 응답하여 기준전압으로 선택된 제3기준전압(VREF11L) 및 수신된 데이터(Din2=0.5VDD)를 비교하고, 논리 로우로 비교결과(OC)로서 출력한다.

<155> 따라서 입력 인코더(147)는 클락신호(RCLK, RCLKB)에 응답하여 0의 값을 갖는 ED1 및 0의 값을 갖는 OD1을 메모리 장치로 출력한다. 따라서 제2반도체 장치(140)는 제1반도체 장치(110)가 전송한 데이터(ED1, OD1)를 정확하게 검출한다.

<156> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<157> 상술한 바와 같이 본 발명에 따른 동시 양방향 신호 전송 시스템은 반도체 장치들 사이의 임피던스의 부정합, 전송되는 신호들의 간섭문제, 직렬 통신 거리, 그리고 데이터 스큐 등에 무관하게 동시에 양방향으로 4-레벨의 신호를 고속으로 주고받을 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

제1반도체 장치, 제2반도체 장치 및 상기 제1반도체 장치와 상기 제2반도체 장치 사이에 접속되는 적어도 하나의 전송선을 구비하는 동시 양방향 신호전송 시스템에 있어서,

상기 제1반도체 장치는,

제1 이진데이터를 수신하여 적어도 4개의 레벨들중에서 어느 하나의 레벨을 갖는 제1신호로 변환하는 제1출력MUX;

상기 제1출력MUX에 접속되며, 상기 제1신호를 상기 전송선을 통하여 상기 제2반도체 장치로 출력하는 제1송신기를 구비하며,

상기 제2반도체 장치는,

제 2 이진데이터를 수신하여 적어도 4개의 레벨들중에서 어느 하나의 레벨을 갖는 제2신호로 변환하는 제2출력MUX;

상기 제2출력MUX에 접속되며, 상기 제2신호를 상기 전송선을 통하여 상기 제1반도체 장치로 출력하는 제2송신기를 구비하며,

상기 제1반도체 장치는 상기 제1신호에 의하여 선택된 적어도 하나의 기준전압과 및 상기 전송선을 통하여 입력되는 제3신호를 비교하고, 그 비교결과를 출력하는 제1수신기; 및

상기 제1수신기로부터 출력되는 상기 비교결과에 응답하여 상기 제2 이진데이터를 검출하는 제1입력 인코더를 구비하고,

상기 제2반도체 장치는 상기 제2신호에 의하여 선택된 적어도 하나의 기준전압과 및 상기 전송선을 통하여 입력되는 상기 제3신호를 비교하고, 그 비교결과를 출력하는 제2수신기; 및

상기 제2수신기로부터 출력되는 상기 비교결과에 응답하여 상기 제1 이진데이터를 검출하는 제2입력 인코더를 구비하는 것을 특징으로 하는 동시 양방향 신호 전송 시스템

【청구항 2】

제1항에 있어서, 상기 제3신호는 상기 제1송신기의 출력신호 및 상기 제2송신기의 출력신호에 의하여 결정되는 것을 특징으로 하는 동시 양방향 신호 전송 시스템.

【청구항 3】

제1항에 있어서, 상기 제3신호는 7개의 레벨들중에서 어느 하나의 레벨을 갖는 신호인 것을 특징으로 하는 동시 양방향 신호 전송 시스템.

【청구항 4】

제3항에 있어서, 상기 기준전압은 상기 7개의 레벨들중에서 어느 하나와 상기 4개의 레벨들 중에서 어느 하나의 레벨사이의 전압인 것을 특징으로 하는 동시 양방향 신호 전송 시스템.

【청구항 5】

제1항에 있어서, 상기 제1송신기는 출력 드라이버 및 임피던스 보정회로를 구비하며,

상기 임피던스 보정회로는,

상기 제1반도체 장치가 초기화되는 경우에 동작하여 상기 전송선에 접속되는 상기 출력드라이버의 임피던스의 값을 상기 전송선의 임피던스의 값으로 정합시키기 위한 N비트 제어신호를 출력하고,

상기 출력 드라이버는,

상기 N비트 제어신호에 응답하여 상기 출력 드라이버의 임피던스의 값을 보정하고, 상기 제1 이진데이터 및 상기 제1신호에 상응하는 논리값에 응답하여 상기 제1신호를 상기 전송선으로 드라이빙하는 것을 특징으로 하는 동시 양방향 신호 전송 시스템.

【청구항 6】

제1항에 있어서, 상기 제2송신기는 출력 드라이버 및 임피던스 보정회로를 구비하며,

상기 임피던스 보정회로는,

상기 제2반도체 장치가 초기화되는 경우에 동작하고, 상기 전송선에 접속되는 상기 출력드라이버의 임피던스의 값을 상기 전송선의 임피던스의 값으로 정합시키기 위한 N비트 제어신호를 출력하고,

상기 출력 드라이버는,

상기 N비트 제어신호에 응답하여 상기 출력 드라이버의 임피던스의 값을 보정하고, 상기 제2 이진데이터 및 상기 제2신호에 상응하는 논리값에 응답하여 상기 제2신호를 상기 전송선으로 드라이빙하는 것을 특징으로 하는 동시 양방향 신호 전송 시스템.

【청구항 7】

제1항에 있어서, 상기 제1수신기는,

다수의 기준전압들을 발생하는 기준전압 발생기; 및

상기 제1신호에 응답하여 상기 다수의 기준전압들중에서 대응되는 기준전압을 선택하고, 선택된 적어도 하나의 기준전압 및 상기 제3신호를 비교하고, 그 비교결과를 출력하는 비교회로를 구비하는 것을 특징으로 하는 동시 양방향 신호 전송 시스템.

【청구항 8】

제1항에 있어서, 상기 제2수신기는,

다수의 기준전압들을 발생하는 기준전압 발생기; 및

상기 제2신호에 응답하여 상기 다수의 기준전압들중에서 대응되는 기준전압을 선택하고, 선택된 적어도 하나의 기준전압 및 상기 제3신호를 비교하고, 그 비교결과를 출력하는 비교회로를 구비하는 것을 특징으로 하는 동시 양방향 신호 전송 시스템.

【청구항 9】

반도체 장치에 있어서,

패드 ;

제1 이진데이터를 수신하여 적어도 4개의 레벨들중에서 어느 하나의 레벨을 갖는 출력신호로 변환하여 출력하는 출력MUX;

상기 출력MUX 및 상기 패드사이에 접속되고, 상기 출력신호를 상기 패드에 접속된 전송선을 통하여 소정의 신호전송회로로 드라이빙하는 송신기;

상기 출력신호에 의하여 선택된 적어도 하나의 기준전압과 및 상기 패드의 신호를 비교하고, 그 비교결과를 출력하는 수신기; 및

상기 수신기로부터 출력되는 상기 비교결과에 응답하여 상기 소정의 신호전송회로가 출력한 제2 이진데이터를 검출하는 입력 인코더를 구비하는 반도체 장치.

【청구항 10】

제9항에 있어서, 상기 송신기는 출력 드라이버 및 임피던스 보정회로를 구비하며,

상기 임피던스 보정회로는,

상기 반도체 장치가 초기화되는 경우에 동작하여 상기 전송선에 접속되는 상기 출력드라이버의 임피던스의 값을 상기 전송선의 임피던스의 값으로 정합시키기 위한 N비트 제어신호를 출력하고,

상기 출력 드라이버는,

상기 N비트 제어신호에 응답하여 상기 출력 드라이버의 임피던스의 값을 보정하고, 상기 제1 이진데이터 및 상기 제1신호에 상응하는 논리값에 응답하여 상기 출력신호를 상기 전송선으로 드라이빙하는 것을 특징으로 하는 반도체 장치.

【청구항 11】

제9항에 있어서, 상기 임피던스 보정회로는,

제 1입력단, 제2입력단 및 출력단을 구비하고, 상기 제1입력단의 전압과 상기 제2입력단으로 입력되는 기준전압을 비교하고, 그 비교결과를 상기 출력단을 통하여 출력하는 비교기;

상기 비교기의 출력단에 접속되고, 상기 비교결과에 따른 제어신호를 출력하는 카운터 제어회로;

상기 카운터 제어회로에 접속되고, 업-카운트하는 상기 N비트 제어신호 출력하는 카운터;

전원전압과 상기 비교기의 제1입력단에 각각 접속되는 다수개의 트랜지스터들을 구비하며,

상기 다수개의 트랜지스터들 각각은 상기 N비트 제어신호의 각 비트에 응답하여 제어되고,

상기 카운터는 상기 제1입력단의 전압과 상기 기준전압이 동일한 경우에 발생하는 상기 제어신호에 응답하여 상기 N비트 제어신호의 카운트 값을 유지(holding)하는 것을 특징으로 하는 반도체 장치.

【청구항 12】

기준전압 발생회로에 있어서,

제 1노드와 출력단사이에 접속되는 임피이던스;

제1전원전압과 상기 제1노드사이에 접속되고, 대응되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군; 및

제2전원전압과 상기 제1노드사이에 접속되고, 대응되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군을 구비하며,

상기 각 트랜지스터 군은 다수개의 트랜지스터들을 구비하며, 각 트랜지스터의 게이트는 상기 대응되는 N비트 제어신호의 각 비트에 응답하여 제어되고, 상기 제2전원전압은 상기 제1전원전압의 반인 것을 특징으로 하는 기준전압 발생회로.

【청구항 13】

기준전압 발생회로에 있어서,

제 1노드와 출력단사이에 접속되는 제1임피던스;

제2노드와 상기 출력단사이에 접속되는 제2임피던스

제 1전원전압과 상기 제1노드사이에 접속되고, 대응되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군;

제2전원전압과 상기 제1노드사이에 접속되고, 대응되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군;

제 2전원전압과 상기 제2노드사이에 접속되고, 대응되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군; 및

접지전원과 상기 제2노드사이에 접속되고, 대응되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군을 구비하며,

상기 각 트랜지스터 군은 병렬로 배치되는 다수개의 트랜지스터들을 구비하며, 각 트랜지스터의 게이트는 상기 대응되는 N비트 제어신호의 각 비트에 응답하여 제어되고, 상기 제2전원전압은 상기 제1전원전압의 반인 것을 특징으로 하는 기준전압 발생회로.

【청구항 14】

기준전압 발생회로에 있어서,

제 1노드와 출력단사이에 접속되는 임피던스;

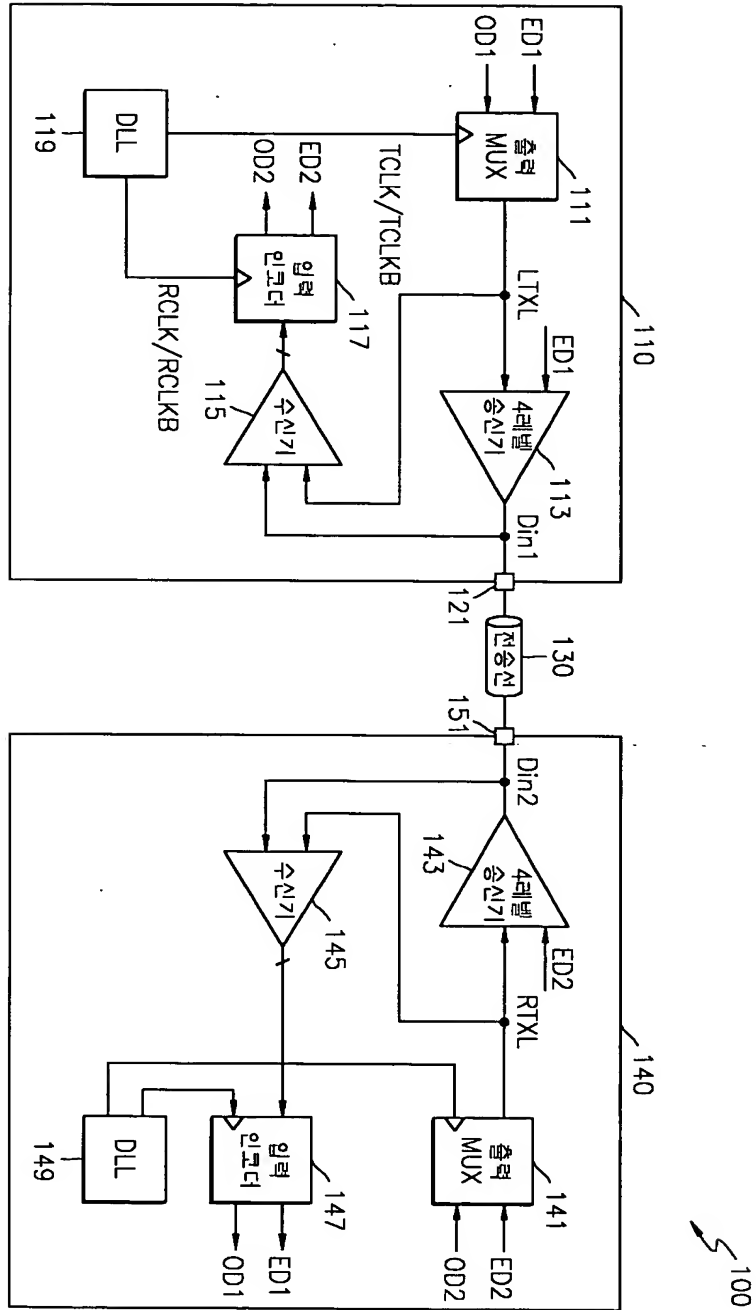
전원전압과 상기 제1노드사이에 접속되고, 대응되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군; 및

접지전압과 상기 제1노드사이에 접속되고, 대응되는 N비트 제어신호의 각 비트에 응답하는 적어도 하나의 트랜지스터 군을 구비하며,

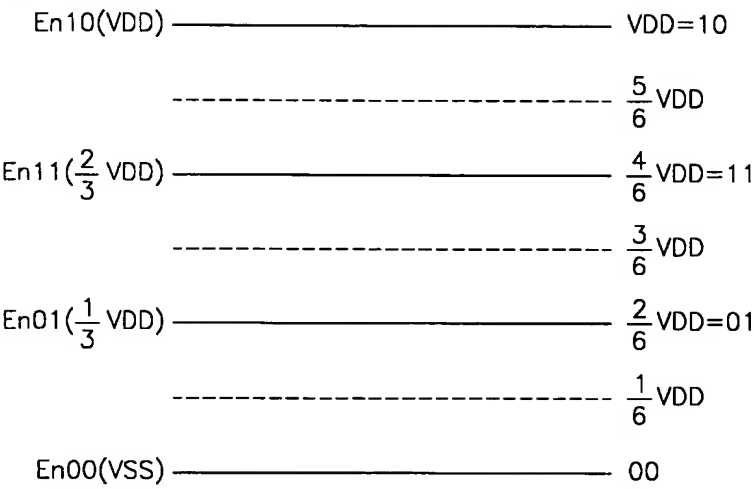
상기 각 트랜지스터 군은 다수개의 트랜지스터들을 구비하며, 각 트랜지스터의 게이트는 상기 대응되는 N비트 제어신호의 각 비트에 응답하여 제어되는 것을 특징으로 하는 기준전압 발생회로.

【도면】

【도 1】



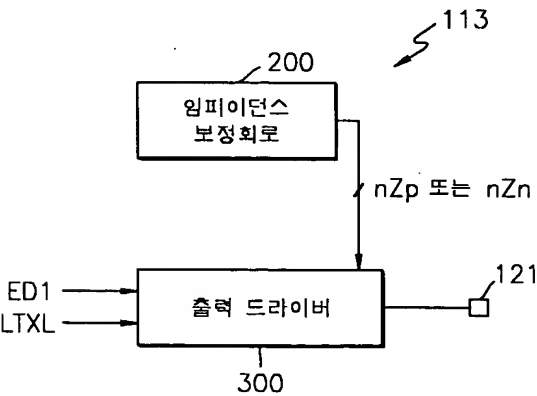
【도 2】



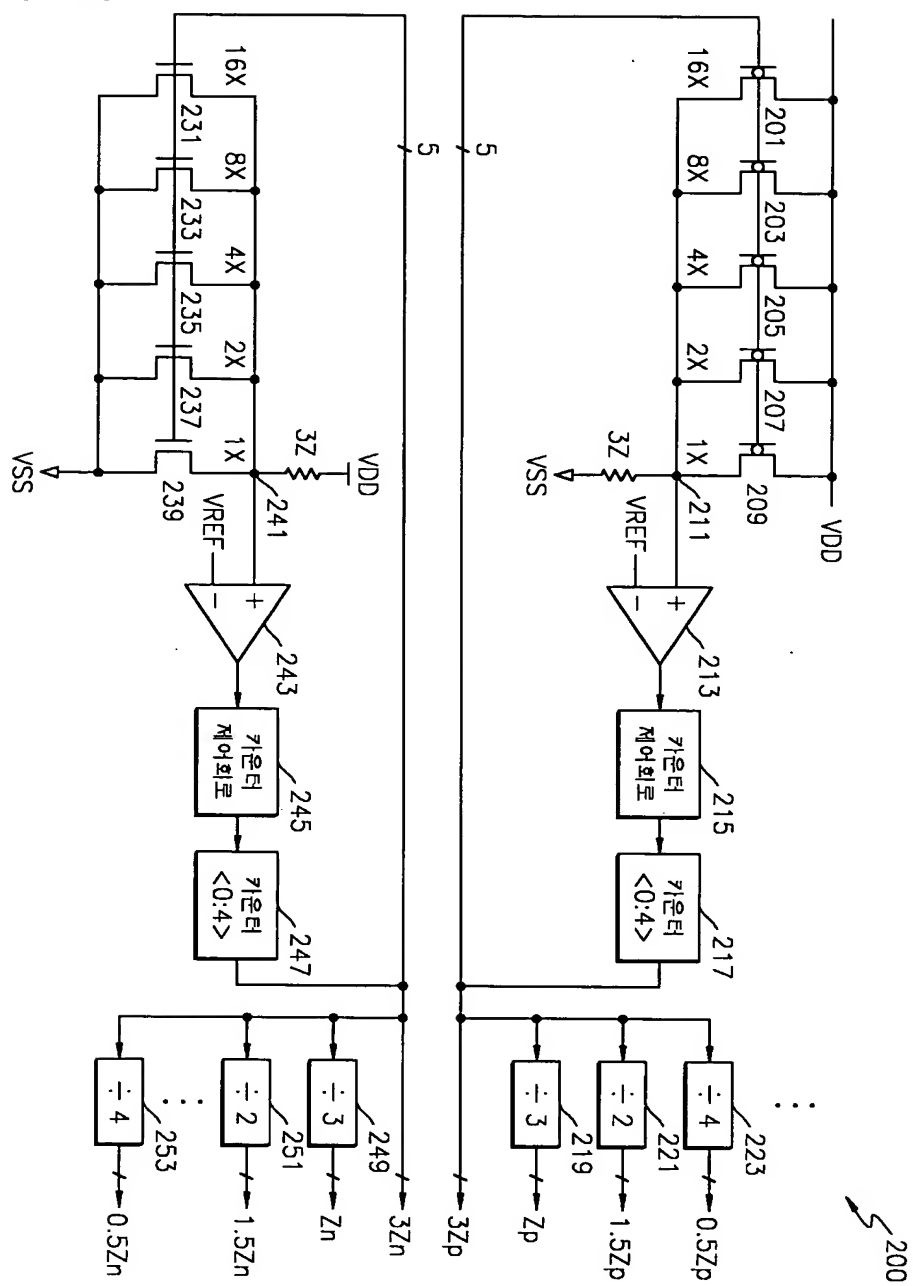
【도 3】

RTXL LTXL	En10	En11	En01	En00
En10	10(VDD)	$\frac{5}{6}VDD$	$11(\frac{4}{6}VDD)$	$\frac{3}{6}VDD$
En11	$\frac{5}{6}VDD$	$11(\frac{4}{6}VDD)$	$\frac{3}{6}VDD$	$01(\frac{2}{6}VDD)$
En01	$11(\frac{4}{6}VDD)$	$11(\frac{3}{6}VDD)$	$01(\frac{2}{6}VDD)$	$\frac{1}{6}VDD$
En00	$\frac{3}{6}VDD$	$01(\frac{2}{6}VDD)$	$\frac{1}{6}VDD$	00(VSS)

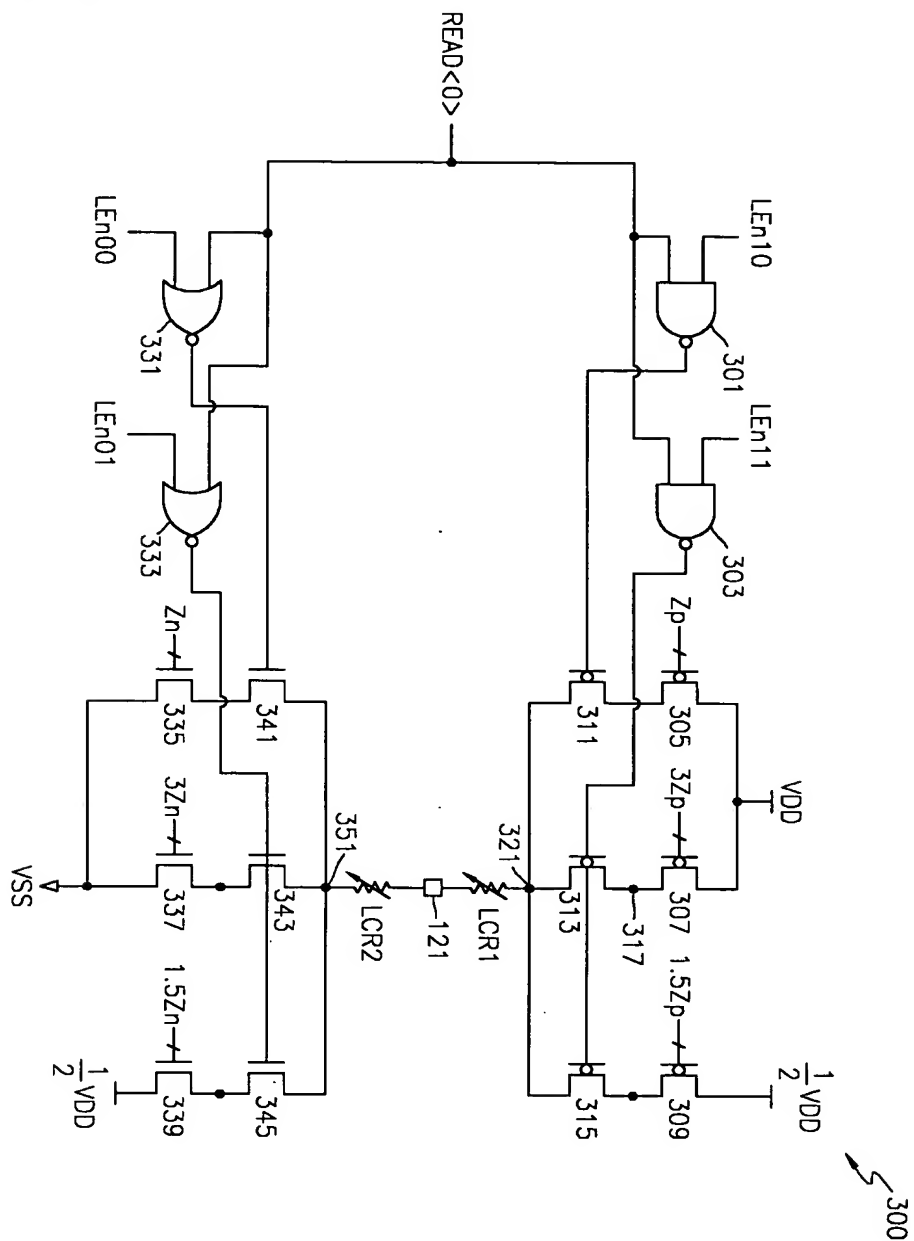
【도 4】



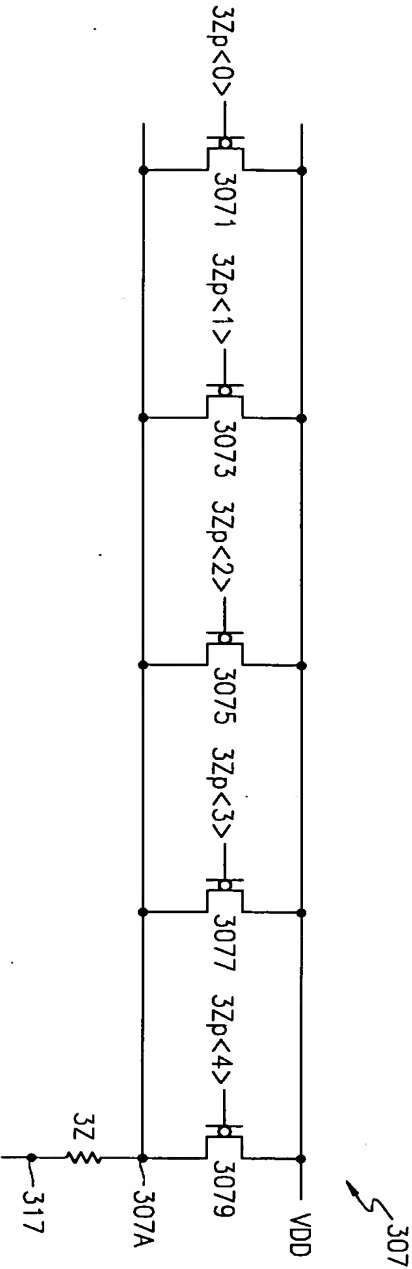
【도 5】



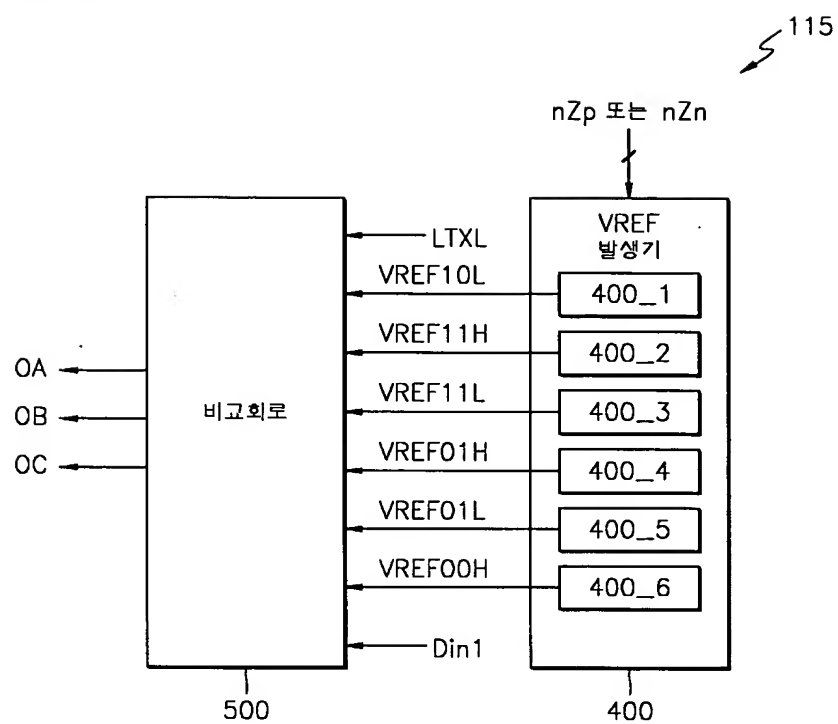
【도 6】



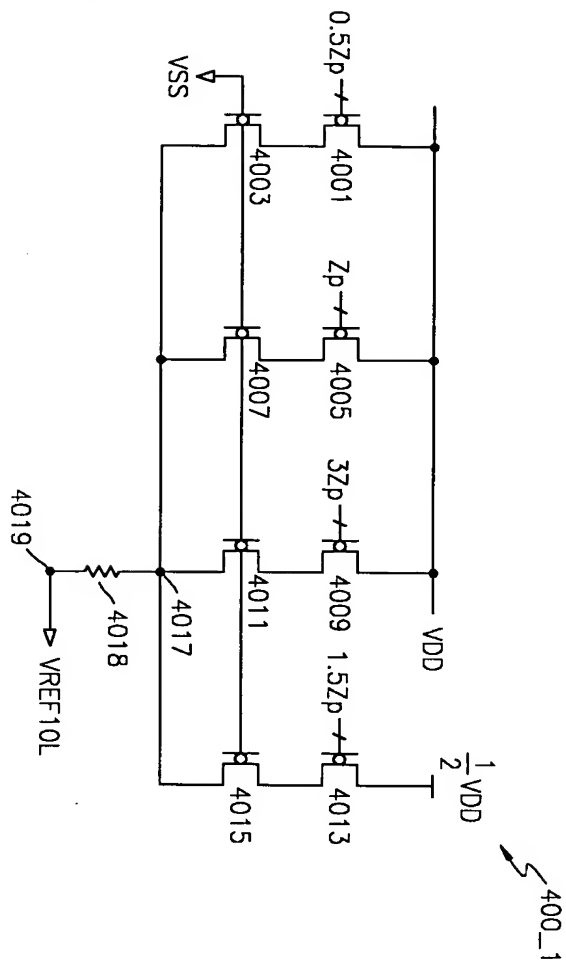
【도 7】



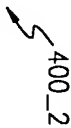
【도 8】



【도 9】



【도 10】



【도 11】

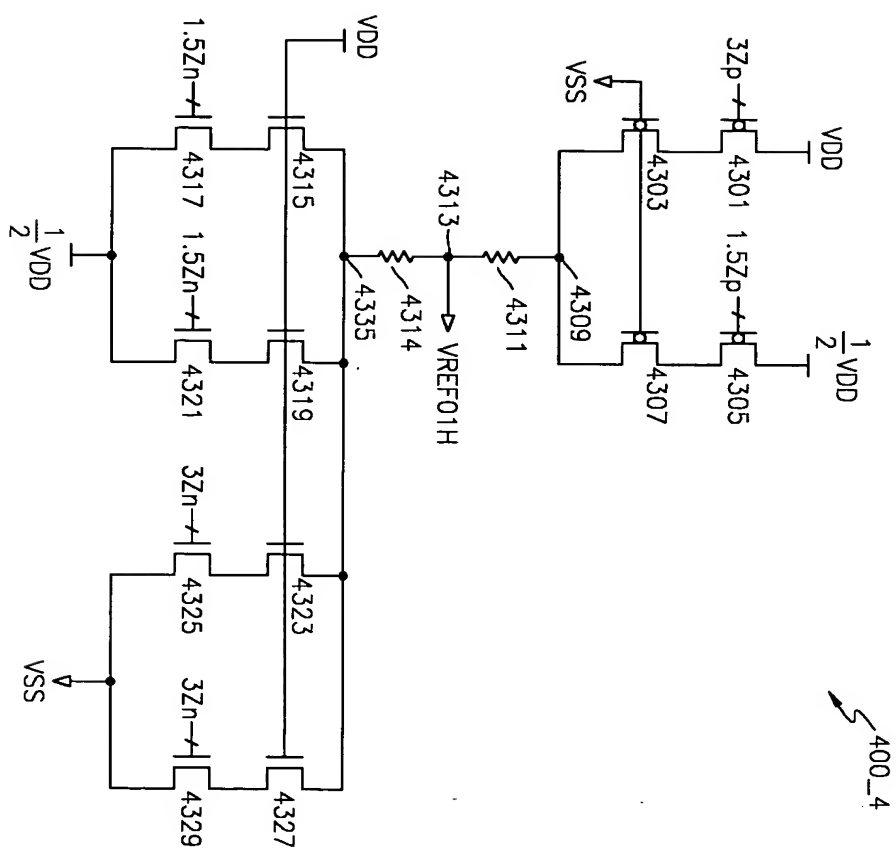




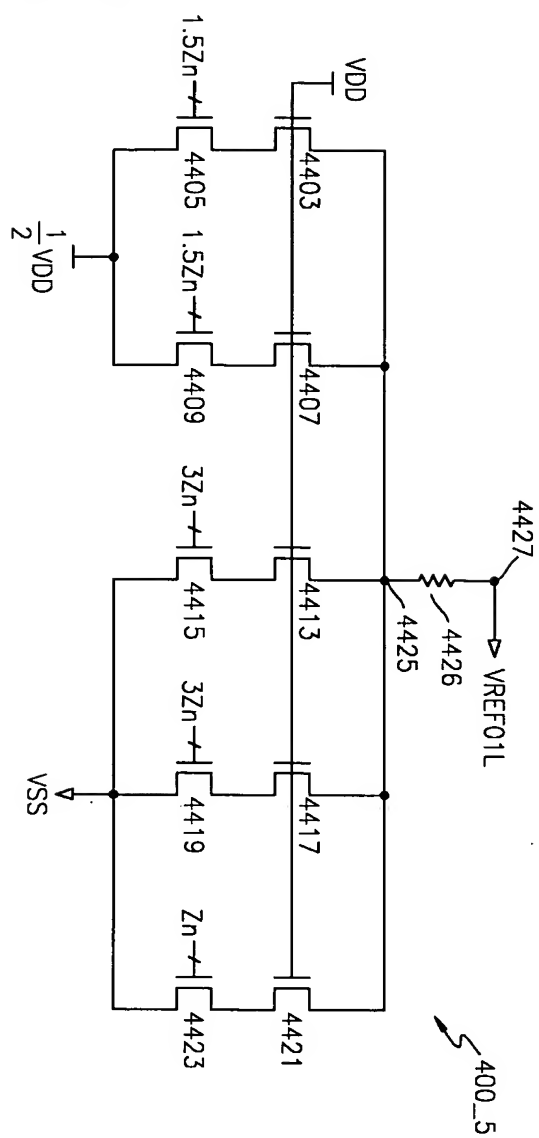
1020020081736

출력 일자: 2003/6/21

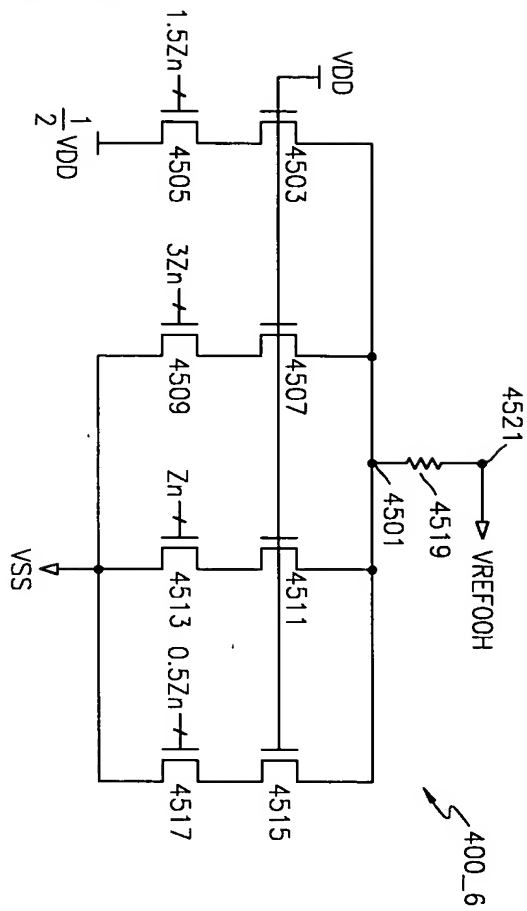
【도 12】



【도 13】

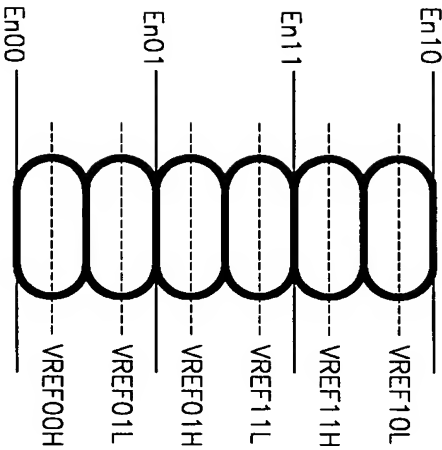


【도 14】



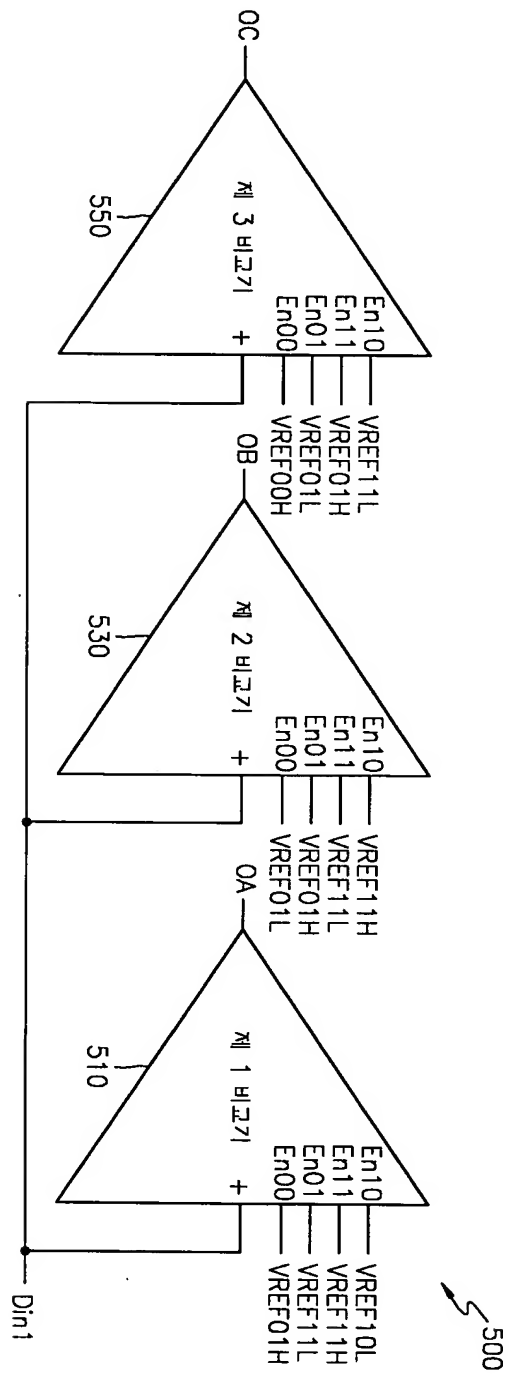


【도 15】



전압	조건
10	$10 \leftrightarrow 10$
VREF10L	$10 // (10 \leftrightarrow 11)$
5/6VDD	$10 \leftrightarrow 11$
VREF11H	$(10 \leftrightarrow 11) // \{11 \vee (10 \leftrightarrow 01)\}$
11	$(11 \leftrightarrow 11) \vee (10 \leftrightarrow 01)$
VREF11L	$\{11 \vee (10 \leftrightarrow 01)\} // \{(11 \leftrightarrow 01) \vee (10 \leftrightarrow 00)\}$
3/6VDD	$(11 \leftrightarrow 01) \vee (10 \leftrightarrow 00)$
VREF01H	$\{(11 \leftrightarrow 01) \vee (10 \leftrightarrow 00)\} // \{01 \vee (11 \leftrightarrow 00)\}$
01	$(01 \leftrightarrow 01) \vee (11 \leftrightarrow 00)$
VREF01L	$\{01 \vee (11 \leftrightarrow 00)\} // (01 \leftrightarrow 00)$
1/6VDD	$01 \leftrightarrow 00$
VREF00H	$(01 \leftrightarrow 00) // 00$
00	$00 \leftrightarrow 00$

【도 16】



【도 17】

OA	OB	OC	ED2 (=ED1)	OD2 (=OD1)
H	H	H	1	0
L	H	H	1	1
L	L	H	0	1
L	L	L	0	0